

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 1 0 - 4 9 2 4 3

(43)公開日 平成 1 0 年 (1 9 9 8) 2 月 2 0 日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G05F 1/56	310		G05F 1/56	310 K
3/24		4237-5H	3/24	Z
G11C 11/407			H03F 1/30	A
H01L 27/04			G11C 11/34	354 F
21/822			H01L 27/04	B

審査請求 未請求 請求項の数 1 5 O L (全 1 1 頁) 最終頁に続く

(21)出願番号 特願平 8 - 2 0 4 3 6 9

(22)出願日 平成 8 年 (1 9 9 6) 8 月 2 日

(71)出願人 0 0 0 0 0 2 9 5

沖電気工業株式会社

東京都港区虎ノ門 1 丁目 7 番 1 2 号

(72)発明者 笹原 勝彦

東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内

(72)発明者 橋本 祐喜

東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内

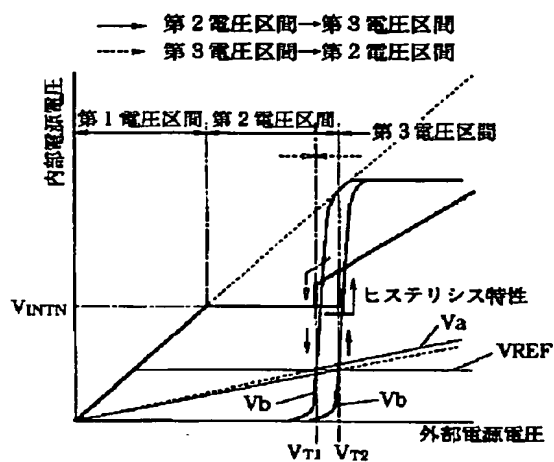
(74)代理人 弁理士 前田 実

(54)【発明の名称】内部電源回路

(57)【要約】

【課題】 内部電源電圧の安定化を図る。

【解決手段】 入力された外部電源電圧 V_{EXT} から内部電源電圧 V_{INT} を発生させるものであり、 V_{EXT} が第 1 の境界電圧 V_{T1} または第 2 の境界電圧 V_{T2} ($> V_{T1}$) 以下であるときは、定電圧発生回路で生成された、 V_{EXT} に関係なく一定の電圧 V_{ININ} を出力し、 V_{EXT} が V_{T1} または V_{T2} 以上であるときは、可変電圧発生回路で生成された、 V_{EXT} の増加とともに線形的に増加する可変電圧 ($> V_{ININ}$) を出力し、検出手段によって、 V_{EXT} が V_{T2} 以上に増加したことを検出すると、定電圧特性から可変電圧特性に切り換わり、また V_{EXT} が V_{T1} 以下に減少したことを検出すると、可変電圧特性から前記定電圧特性に切り換わる。



第 1 の実施形態の内部電源回路の外部電源電圧に対する内部電源電圧特性

【特許請求の範囲】

【請求項 1】 入力された外部電源電圧から内部電源電圧を発生する内部電源回路において、
前記外部電源電圧が第 1 の電圧範囲内であるときに、前記内部電源電圧が前記外部電源電圧に関係なく定電圧となる定電圧特性を示し、
前記外部電源電圧が前記第 1 の電圧範囲よりも大きい第 2 の電圧範囲内であるときに、前記内部電源電圧が、前記定電圧よりも大きく、前記外部電源電圧の増加とともに線形的に増加する可変電圧となる可変電圧特性を示し、
前記可変電圧特性から前記定電圧特性に切り換わる第 1 の境界電圧が、前記定電圧特性から前記可変電圧特性に切り換わる第 2 の境界電圧よりも低いことを特徴とする内部電源回路。

【請求項 2】 基準電圧を生成する基準電圧発生回路と、
前記外部電源電圧から前記基準電圧のレベルに応じた前記定電圧を生成する定電圧発生回路と、
前記外部電源電圧から前記可変電圧を生成する可変電圧発生回路と、
入力された電圧を内部電源電圧として出力する出力回路と、
前記基準電圧を用いて前記外部電源電圧のレベルを監視し、この監視結果に基づいて第 1 論理値または第 2 論理値の判定信号を出力しており、前記外部電源電圧が前記第 2 の境界電圧以上に上昇したことを検出すると、前記判定信号を第 1 論理値から第 2 論理値に変化させ、また前記外部電源電圧が前記第 1 の境界電圧以下に下降したことを検出すると、前記判定信号を第 2 論理レベルから第 1 論理値に変化させる検出手段とを有し、
前記判定信号が第 1 論理値であるときは前記定電圧を前記出力回路に入力し、また前記判定信号が第 2 論理値であるときは前記可変電圧を前記出力回路に入力することを特徴とする請求項 1 に記載の内部電源回路。

【請求項 3】 前記検出手段は、
前記判定信号が第 1 論理値であるときは前記外部電源電圧を第 1 の分圧比で分圧し、また前記判定信号が第 2 論理値であるときは第 2 の分圧比で分圧し、この分圧電圧を出力する分圧回路と、
入力された基準電圧と前記分圧電圧のレベル比較を行い、前記分圧電圧が前記基準電圧以下であるとき第 1 論理値を前記判定信号として出力し、前記分圧電圧が前記基準電圧以上であるとき第 2 論理値を前記判定信号として出力する比較回路とを備え、
前記分圧回路は、
前記外部電源電圧が前記第 2 の境界電圧であり、前記第 1 の分圧比で分圧を行うときに、前記分圧電圧が前記基準電圧と等しくなるように前記第 1 の分圧比を設定し、
前記外部電源電圧が前記第 1 の境界電圧であり、前記第

2 の分圧比で分圧を行うときに、前記分圧電圧が前記基準電圧と等しくなるように前記第 2 の分圧比を設定したものであることを特徴とする請求項 2 に記載の内部電源回路。

【請求項 4】 前記分圧回路は、
分圧比の温度依存を自由に設定することが可能であることを特徴とする請求項 3 に記載の内部電源回路。

【請求項 5】 前記分圧回路は、
3 つ以上の負荷素子を直列接続し、端部を前記外部電源および接地電源にそれぞれ接続し、負荷素子どうしの接続点のいずれかを前記分圧電圧の出力端子とすることにより、前記外部電源から前記出力端子までの外部電源側負荷回路と前記出力端子から前記接地電源までの接地電源側負荷回路とで前記外部電源電圧を分圧する分圧負荷回路と、

所定の前記負荷素子の端子間を前記判定信号に従って短絡または開放することにより、前記分圧負荷回路の分圧比を前記第 1 または第 2 の分圧比に設定するスイッチ回路とを備えたことを特徴とする請求項 3 または 4 に記載の内部電源回路。

【請求項 6】 前記分圧負荷回路は、
前記負荷素子として抵抗を用いたものであることを特徴とする請求項 5 に記載の内部電源回路。

【請求項 7】 前記分圧負荷回路は、
前記外部電源側負荷回路の抵抗と前記接地電源側負荷回路の抵抗とを温度係数の異なる 2 種類以上の抵抗材質で形成することにより、分圧比の温度依存を自由に設定することが可能であることを特徴とする請求項 6 に記載の内部電源回路。

【請求項 8】 前記分圧負荷回路は、
前記外部電源側負荷回路と前記接地電源側負荷回路のそれぞれに複数の抵抗を有し、
前記各複数の抵抗をそれぞれ温度係数の異なる 2 種類以上の抵抗材質で形成することにより、分圧比の温度依存を自由に設定することが可能であることを特徴とする請求項 6 に記載の内部電源回路。

【請求項 9】 前記分圧負荷回路は、
前記抵抗材質として、ポリシリコンと、n 型あるいは p 型シリコン拡散層とを用いたものであることを特徴とする請求項 8 に記載の内部電源回路。

【請求項 10】 前記スイッチ回路は、
前記分圧負荷回路の短絡対象負荷素子に並列に接続した 1 つまたは複数の短絡スイッチ素子を備え、
前記判定信号に従って前記短絡スイッチ素子を導通または遮断することを特徴とする請求項 5 ないし 9 のいずれかに記載の内部電源回路。

【請求項 11】 前記スイッチ回路は、
前記短絡スイッチ素子として MOS トランジスタを用いたことを特徴とする請求項 10 に記載の内部電源回路。

【請求項 12】 前記分圧回路は、

10

20

30

40

50

さらに、前記負荷素子のうちの所定の負荷素子の端子間を短絡させる調整用ヒューズを備え、前記調整用ヒューズを切断することにより前記分圧負荷回路の分圧比の調整を可能としたことを特徴とする請求項 3 ないし 1 1 のいずれかに記載の内部電源回路。

【請求項 1 3】 前記比較回路は、反転入力端子および非反転端子にそれぞれ前記基準電圧と前記分圧電圧が入力される比較器と、前記比較器の出力信号により駆動され、前記判定信号を出力する駆動回路とを備えたことを特徴とする請求項 3 10 ないし 1 2 のいずれかに記載の内部電源回路。

【請求項 1 4】 前記可変電圧発生回路は、その出力端子が前記出力回路の入力端子に接続されており、前記判定信号が第 2 論理値であるとき活性化されて前記可変電圧を前記出力回路に出力し、また前記判定信号が第 1 論理値であるとき前記可変電圧の出力を停止し、

前記定電圧発生回路は、その出力端子が前記出力手段の入力端子に接続されており、前記可変電圧発生回路が出力停止しているとき活性化されて前記定電圧を前記出力回路に出力し、また前記可変電圧発生回路が活性化されると出力停止することを特徴とする請求項 2 ないし 1 3 のいずれかに記載の内部電源回路。

【請求項 1 5】 前記可変電圧発生回路は、制御端子に前記判定信号が入力され、前記判定信号が第 1 論理値のとき開放となり、第 2 論理値のとき導通するスイッチ素子と、前記スイッチ素子に直列に接続された降圧負荷素子とを備え、

前記定電圧発生回路は、反転入力端子に前記基準電圧が入力される差動増幅器と、前記差動増幅器の非反転端子と前記出力回路の入力端子との間に設けられた第 1 の昇圧負荷素子と、前記差動増幅器の非反転端子と接地電源との間に設けられた第 2 の昇圧負荷素子と、

ゲート電極が前記差動増幅器の出力端子に接続され、ソース電極が前記外部電源に接続され、ドレイン電極が前記出力回路の入力端子に接続され、前記スイッチ素子が導通して前記定電圧発生回路が活性化されると遮断する P M O S トランジスタとを備えたことを特徴とする請求項 1 4 に記載の内部電源回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 この発明は、半導体装置の内部に設けられ、外部から入力された外部電源電圧から前記半導体装置の内部回路に供給する内部電源電圧を発生する内部電源回路に関するものである。

【0 0 0 2】

【従来の技術】 この種の従来技術としては、例えば特願平 5 - 1 1 5 0 5 号公報に開示されたものがある。図 7 は従来の内部電源回路の外部電源電圧に対する内部電源電圧特性の一例を示すものである。図 7 において内部電源電圧は、外部電源電圧が 0 から電圧 V_N までの区間（第 1 電圧区間）では、外部電源電圧を内部電源電圧として出力し、外部電源電圧が電圧 V_N から境界電圧 V_I までの区間（第 2 電圧区間）では外部電源電圧に関係なく一定の電圧を出力する定電圧特性を示し、第 2 電圧区間の最後で垂直に上昇し、外部電源電圧が境界電圧 V_I 以上となる区間（第 3 電圧区間）では第 2 電圧区間の最後で上昇した電圧から線形的に上昇する電圧を出力する可変電圧特性を示す。

【0 0 0 3】 製造された半導体装置には、初期不良のスクリーニングや新しく開発した半導体装置の信頼性試験を目的として、通常の規格よりも高い電源電圧を印加して高温中で動作させるバーンイン試験が施される。このバーンイン試験においては、上記の第 3 電圧区間においては半導体装置を動作させる。対して通常動作においては、上記の第 2 電圧区間における動作となる。第 2 電圧区間で動作するか、第 3 電圧区間で動作するかは、印加される外部電源電圧のレベルにより制御され、また電圧区間の切り換えは外部電源電圧のレベルを変えることにより行われる。

【0 0 0 4】

【発明が解決しようとする課題】 しかしながら、上記従来の内部電源回路においては、第 2 電圧区間から第 3 電圧区間、または第 3 電圧区間から第 2 電圧区間への切り換えポイントとなる境界電圧 V_I の付近で、ノイズの発生等により外部電源電圧にゆらぎが生じると、内部電源電圧の電圧区間が第 2 電圧区間または第 3 電圧区間のいずれかに安定せず、不安定な内部電源電圧を出力するという問題があった。

【0 0 0 5】 本発明は、このような従来の問題を解決し、安定した内部電源電圧を出力することができる内部電源回路を提供することを目的とするものである。

【0 0 0 6】

【課題を解決するための手段】 上記目的を達成するために本発明の内部電源回路は、前記外部電源電圧が第 1 の電圧範囲内であるときに、前記内部電源電圧が前記外部電源電圧に関係なく定電圧となる定電圧特性を示し、前記外部電源電圧が前記第 1 の電圧範囲よりも大きい第 2 の電圧範囲内であるときに、前記内部電源電圧が、前記定電圧よりも大きく、前記外部電源電圧の増加とともに線形的に増加する可変電圧となる可変電圧特性を示し、前記可変電圧特性から前記定電圧特性に切り換わる第 1 の境界電圧が、前記定電圧特性から前記可変電圧特性に切り換わる第 2 の境界電圧よりも低いことを特徴とするものである。

【0 0 0 7】 また請求項 2 に記載の内部電源回路は、基

準電圧を生成する基準電圧発生回路と、前記外部電源電圧から前記基準電圧のレベルに応じた前記定電圧を生成する定電圧発生回路と、前記外部電源電圧から前記可変電圧を生成する可変電圧発生回路と、入力された電圧を内部電源電圧として出力する出力回路と、前記基準電圧を用いて前記外部電源電圧のレベルを監視し、この監視結果に基づいて第 1 論理値または第 2 論理値の判定信号を出力しており、前記外部電源電圧が前記第 2 の境界電圧以上に上昇したことを検出すると、前記判定信号を第 1 論理値から第 2 論理値に変化させ、また前記外部電源電圧が前記第 1 の境界電圧以下に下降したことを検出すると、前記判定信号を第 2 論理レベルから第 1 論理値に変化させる検出手段とを有し、前記判定信号が第 1 論理値であるときは前記定電圧を前記出力回路に入力し、また前記判定信号が第 2 論理値であるときは前記可変電圧を前記出力回路に入力することを特徴とするものである。

【0008】請求項 3 に記載の内部電源回路は、前記検出手段が、前記判定信号が第 1 論理値であるときは前記外部電源電圧を第 1 の分圧比で分圧し、また前記判定信号が第 2 論理値であるときは第 2 の分圧比で分圧し、この分圧電圧を出力する分圧回路と、入力された基準電圧と前記分圧電圧のレベル比較を行い、前記分圧電圧が前記基準電圧以下であるとき第 1 論理値を前記判定信号として出力し、前記分圧電圧が前記基準電圧以上であるとき第 2 論理値を前記判定信号として出力する比較回路とを備え、前記分圧回路は、前記外部電源電圧が前記第 2 の境界電圧であり、前記第 1 の分圧比で分圧を行うときに、前記分圧電圧が前記基準電圧と等しくなるように前記第 1 の分圧比を設定し、前記外部電源電圧が前記第 1 の境界電圧であり、前記第 2 の分圧比で分圧を行うときに、前記分圧電圧が前記基準電圧と等しくなるように前記第 2 の分圧比を設定したものであることを特徴とするものである。

【0009】請求項 4 に記載の内部電源回路は、前記分圧回路が、分圧比の温度依存を自由に設定することが可能であることを特徴とするものである。

【0010】請求項 5 に記載の内部電源回路は、前記分圧回路が、3 つ以上の負荷素子を直列接続し、端部を前記外部電源および接地電源にそれぞれ接続し、負荷素子どうしの接続点のいずれかを前記分圧電圧の出力端子とすることにより、前記外部電源から前記出力端子までの外部電源側負荷回路と前記出力端子から前記接地電源までの接地電源側負荷回路とで前記外部電源電圧を分圧する分圧負荷回路と、所定の前記負荷素子の端子間を前記判定信号に従って短絡または開放することにより、前記分圧負荷回路の分圧比を前記第 1 または第 2 の分圧比に設定するスイッチ回路とを備えたことを特徴とするものである請求項 6 に記載の内部電源回路は、請求項 5 において、前記分圧負荷回路が、前記負荷素子として抵抗を

用いたものであることを特徴とするものである。

【0011】請求項 7 に記載の内部電源回路は、請求項 6 において、前記分圧負荷回路が、前記外部電源側負荷回路の抵抗と前記接地電源側負荷回路の抵抗とを温度係数の異なる 2 種類以上の抵抗材質で形成することにより、分圧比の温度依存を自由に設定することが可能であることを特徴とするものである。

【0012】請求項 8 に記載の内部電源回路は、請求項 6 において、前記分圧負荷回路が、前記外部電源側負荷回路と前記接地電源側負荷回路のそれぞれに前記スイッチ回路に制御されない複数の抵抗を有し、前記各複数の抵抗をそれぞれ温度係数の異なる 2 種類以上の抵抗材質で形成することにより、分圧比の温度依存を自由に設定することが可能であることを特徴とするものである。

【0013】請求項 9 に記載の内部電源回路は、請求項 7 または 8 において、前記分圧負荷回路が、前記抵抗材質として、ポリシリコンと、n 型あるいは p 型シリコン拡散層とを用いたものであることを特徴とする請求項 8 に記載の内部電源回路。

【0014】請求項 10 に記載の内部電源回路は、前記スイッチ回路が、前記分圧負荷回路の短絡対象負荷素子に並列に接続した 1 つまたは複数の短絡スイッチ素子を備え、前記判定信号に従って前記短絡スイッチ素子を導通または遮断することを特徴とするものである。

【0015】請求項 11 に記載の内部電源回路は、請求項 10 において、前記スイッチ回路が、前記短絡スイッチ素子として MOS トランジスタを用いたことを特徴とするものである。

【0016】請求項 12 に記載の内部電源回路は、さらに、前記負荷素子のうちの所定の負荷素子の端子間を短絡させる調整用ヒューズを備え、前記調整用ヒューズを切断することにより前記分圧負荷回路の分圧比の調整を可能としたことを特徴とするものである。

【0017】請求項 13 に記載の内部電源回路は、前記比較回路が、反転入力端子および非反転端子にそれぞれ前記基準電圧と前記分圧電圧が入力される比較器と、前記比較器の出力信号により駆動され、前記判定信号を出力する駆動回路とを備えたことを特徴とするものである。

【0018】請求項 14 に記載の内部電源回路は、前記可変電圧発生回路が、その出力端子が前記出力回路の入力端子に接続されており、前記判定信号が第 2 論理値であるとき活性化されて前記可変電圧を前記出力回路に出力し、また前記判定信号が第 1 論理値であるとき前記可変電圧の出力を停止し、前記定電圧発生回路が、その出力端子が前記出力手段の入力端子に接続されており、前記可変電圧発生回路が出力停止しているとき活性化されて前記定電圧を前記出力回路に出力し、また前記可変電圧発生回路が活性化されると出力停止することを特徴とするものである。

【0019】請求項15に記載の内部電源回路は、請求項14において、前記可変電圧発生回路が、制御端子に前記判定信号が入力され、前記判定信号が第1論理値のとき開放となり、第2論理値のとき導通するスイッチ素子と、前記スイッチ素子に直列に接続された降圧負荷素子とを備え、前記定電圧発生回路が、反転入力端子に前記基準電圧が入力される差動増幅器と、前記差動増幅器の非反転端子と前記出力回路の入力端子との間に設けられた第1の昇圧負荷素子と、前記差動増幅器の非反転端子と接地電源との間に設けられた第2の昇圧負荷素子と、ゲート電極が前記差動増幅器の出力端子に接続され、ソース電極が前記外部電源に接続され、ドレイン電極が前記出力回路の入力端子に接続され、前記スイッチ素子が導通して前記定電圧発生回路が活性化されると遮断するPMOSトランジスタとを備えたことを特徴とするものである。

【0020】従って上記本発明の内部電源回路によれば、内部電源電圧の特性を、外部電源電圧が第2の境界電圧で定電圧特性から可変電圧特性に切り換え、また第2の境界電圧より小さい第1の境界電圧で可変電圧特性から定電圧特性に切り換えるようにして、内部電源電圧にヒステリシス特性を持たせることにより、一度定電圧特性から可変電圧特性にエンタリーされた内部電源電圧が外部電源電圧のゆらぎにより定電圧特性に戻ることで、および一度第可変電圧特性から定電圧特性にエンタリーされた内部電源電圧が外部電源電圧のゆらぎにより可変電圧特性に戻ることがなくなり、特性の切り換わり付近において外部電源電圧が不安定な場合にも、安定した内部電源電圧を出力することができる。また従来に比べて、定電圧特性となる外部電源電圧の区間、および可変電圧特性となる外部電源電圧の区間をともに広くすることができる。

【0021】また上記請求項4、7～9に記載の内部電源回路によれば、分圧回路の分圧比の温度依存を自由に設定することにより、基準電圧の温度変動による第1および第2の境界電圧の温度変動を補正することができる。

【0022】上記請求項12に記載の内部電源回路によれば、調整用ヒューズを切断して所定の負荷素子の短絡を解除することにより分圧負荷回路の分圧比を調整することができる。

【0023】

【発明の実施の形態】

第1の実施形態

図1は本発明の第1の実施形態の内部電源回路である。この内部電源回路は、基準電圧発生回路100と、定電圧発生回路である増幅回路110と、分圧回路120と、比較回路130と、可変電圧発生回路であるバーンイン電圧発生回路150と、内部電圧出力回路160とを有する。

【0024】基準電圧発生回路100は、外部電源電圧に依存しない一定の基準電圧VREFを発生する回路である。基準電圧VREFは例えば1.3～1.4[V]である。

【0025】増幅回路回路110は、ゲート電極に基準電圧VREFが印加されるNMOSトランジスタN1と、ソース電極がN1のソース電極に接続され、N1と差動対をなすNMOSトランジスタN2と、ゲート電極がトランジスタN1のゲート電極に接続され、ドレイン電極がトランジスタN1のソース電極に接続され、ソース電極が接地され、定電流源として動作するNMOSトランジスタN3と、ソース電極が外部電源VEXTに接続され、ドレイン電極がトランジスタN1のドレイン電極に接続されたPMOSトランジスタP1と、ゲート電極がトランジスタN1のゲート電極に接続され、ドレイン電極がトランジスタN2のドレイン電極に接続され、ソース電極が外部電源VEXTに接続され、さらにゲート電極とドレイン電極が共通接続されて、トランジスタP1と負荷対をなすPMOSトランジスタP2により構成され、トランジスタN1のドレイン電極を出力端子とする差動増幅器を有する。またゲート電極がトランジスタN1のドレイン電極に接続され、ソース電極が外部電源VEXTに接続されたPMOSトランジスタP3と、トランジスタP3のドレイン電極とトランジスタN2のゲート電極との間に設けられた抵抗R1（第1の昇圧負荷素子）と、トランジスタN2のゲート電極と接地電源との間に設けられた抵抗R2（第2の昇圧負荷素子）とを有する。この増幅回路回路110は、トランジスタP3のドレイン端子を出力端子INTNとし、基準電圧VREFのレベルに応じた外部電源電圧VEXTに依存しない定電圧VINTNを出力端子INTNに発生させる。このとき $V_{INTN} = V_{REF} \times (R_1 + R_2) / R_2$ となる。このVINTNは、例えば3.3[V]である。

【0026】分圧回路120は、抵抗R4、R5、R6をこの順に直列接続し、抵抗R4の端部を外部電源VEXTに接続し、抵抗R6の端部を接地し、抵抗R5とR6の接続点を分圧電圧Vaの出力端子とすることにより、抵抗R4とR5による外部電源側負荷回路と抵抗R6による接地電源側負荷回路とでVEXTを分圧する分圧負荷回路と、抵抗R4に並列接続され、抵抗R4を短絡または開放するスイッチ回路であるPMOSトランジスタP4とを有し、トランジスタP4がOFFしているときに、抵抗R4およびR5の直列抵抗と抵抗R6の抵抗比により決まる分圧比（第1の分圧比）でVEXTを分圧し、P4がONしているときに、抵抗R5とR6の抵抗比により決まる分圧比（第2の分圧比）でVEXTを分圧する。第1の分圧比における分圧電圧Va1は $V_{EXT} \times R_6 / (R_4 + R_5 + R_6)$ となり、第2の分圧比における分圧電圧Va2は $V_{EXT} \times R_6 / (R_5 + R_6)$ となる。R4、R5、R6の各抵抗値は、VEXTが第1の境

界電圧 V_{T1} のときの $V_{a2} (= V_{T1} \times R_6 / (R_5 + R_6))$ と、 V_{EXT} が第 2 の境界電圧 V_{T2} のときの $V_{a1} (= V_{T2} \times R_6 / (R_4 + R_5 + R_6))$ がともに V_{REF} に等しくなるように設定される。 V_{T1} および V_{T2} の設定値は、例えば $V_{T1} = 6.55 [V]$ 、 $V_{T2} = 6.85 [V]$ である。

【0027】比較回路 130 は、反転入力端子 (-) に基準電圧 V_{REF} が入力され、非反転入力端子 (+) に分圧電圧 V_a が入力される比較器 C1 と、インバータ I1、I2、I3 を直列接続し、I3 の出力端子を分圧回路 120 のトランジスタ P3 のゲート電極に接続した駆動回路とを有する。比較器 C1 は、基準電圧 V_{REF} と分圧電圧 V_a とのレベル比較を行ない、 $V_a < V_{REF}$ の場合、論理レベル "Low" (以下、"L" と表記する) の出力電圧 V_b を出力し、 $V_a \geq V_{REF}$ の場合、論理レベル "High" (以下、"H" と表記する) の出力電圧 V_b を出力する。駆動回路は、 V_b が "L" のとき "H" (第 1 論理値に対応する) となり、 V_b が "H" のとき "L" (第 2 論理値に対応する) となる判定電圧 V_c を出力する。この V_c により分圧回路 120 のトランジスタ P3 は、 $V_c = "H"$ のとき OFF し、 $V_c = "L"$ のとき ON する。

【0028】バーンイン電圧発生回路 150 は、ゲート電極に判定電圧 V_c が入力され、ソース電極が外部電源 V_{EXT} に接続された PMOS トランジスタ P5 と、トランジスタ P5 のドレイン電極と増幅回路 110 の出力端子 V_{INTN} との間に設けられた抵抗 R_3 とを有し、抵抗 R_3 の増幅回路 110 側端子を出力端子 V_{INTB} とし、トランジスタ P5 が ON したときに活性化され、増幅回路 110 からの定電圧 V_{INTN} より大きな値のバーンイン電圧 (可変電圧) V_{INTB} を V_{INTB} から出力する。このとき $V_{INTB} = V_{EXT} \times (R_1 + R_2) / (R_1 + R_2 + R_3)$ である。尚、バーンイン電圧発生回路 150 が活性化され、増幅回路 110 の出力端子 V_{INTN} に印加される電圧が上記の V_{INTB} に上昇すると、トランジスタ P3 が OFF して、増幅回路 110 は定電圧 V_{INTN} の出力を停止する。

【0029】内部電源電圧出力回路 160 は、増幅回路 110 またはバーンイン発生回路 150 から入力される定電圧 V_{INTN} またはバーンイン電圧 V_{INTB} を内部電源電圧 V_{INT} として内部回路 (図示せず) に供給する回路である。

【0030】尚、分圧回路 120 と比較回路 130 とは、検出手段を構成しており、外部電源電圧 V_{EXT} が第 2 の境界電圧 V_{T2} 以上に上昇したことを検出すると、判定電圧 V_c を "H" から "L" に変化させ、また V_{EXT} が第 1 の境界電圧 V_{T1} 以下に下降したことを検出すると、 V_c を "L" から "H" に変化させる。

【0031】次に、図 1 に示す内部電源回路の動作について説明する。図 2 は図 1 に示した内部電源回路の入出

力電圧特性、すなわち外部電源電圧 V_{EXT} に対する内部電源電圧 V_{INT} の特性を示す図である。図 1 において、 $0 \leq V_{EXT} < V_{EXTN} (= V_{INTN})$ である第 1 電圧区間は、外部電源電圧 V_{EXT} を内部電源電圧 V_{INT} として出力する区間であり、 V_{EXT} の下降においては $V_{EXTN} \leq V_{EXT} < V_{T1}$ 、 V_{EXT} の上昇においては $V_{EXTN} \leq V_{EXT} < V_{T2}$ である第 2 電圧区間は、 V_{EXT} に関係なく定電圧 V_{INTN} が出力される定電圧特性区間であり、 V_{EXT} の下降においては $V_{T1} < V_{EXT}$ 、 V_{EXT} の上昇においては $V_{T2} < V_{EXT}$ である第 3 電圧区間は、 V_{EXT} に比例したバーンイン電圧 $V_{INTB} (> V_{INTN})$ が出力される可変電圧特性区間である。このように V_{EXT} の上昇により定電圧特性から可変電圧特性に切り換わる境界電圧 V_{T2} と、 V_{EXT} の下降により可変電圧特性から定電圧特性に切り換わる境界電圧 V_{T1} とが異なり、内部電源電圧 V_{INT} は外部電源電圧 V_{EXT} に対してヒステリシス特性を有する (図 1 に示す内部電源回路は、第 2 電圧区間と第 3 電圧区間の区間切り換え動作のみが、外部電源電圧の増加による場合と減少による場合で異なる)。尚、図 2 には外部電源電圧 V_{EXT} に対する基準電圧 V_{REF} 、分圧電圧 V_a 、比較器 C1 の出力電圧 V_b の特性も同時に示してある。

【0032】第 1 電圧区間においては、バーンイン電圧発生回路 150 のトランジスタ P5 は OFF、増幅回路 110 のトランジスタ P3 は ON しており、このトランジスタ P3 および内部電源電圧出力回路 160 を介して V_{EXT} がそのまま内部電源電圧 V_{INT} として出力される。

【0033】最初に、第 2 電圧区間の定電圧特性区間における動作を説明する。この区間においては、増幅回路 110 は、外部電源電圧 V_{EXT} の変動に対してトランジスタ P3 のゲート電極に差動増幅器の出力電圧 (トランジスタ N1 のドレイン電圧) を印加することによりトランジスタ P3 を定電流源として動作させ、 V_{EXT} に依存しない定電圧 $V_{INTN} (= V_{REF} \times (R_1 + R_2) / R_2)$ を発生させる。この定電圧 V_{INTN} は、内部電源電圧出力回路 160 に入力され、内部電源電圧出力回路 160 は、 V_{INTN} を内部電源電圧 V_{INT} として内部回路に供給する。このとき分圧回路 120 から出力される分圧電圧 V_a は、常に $V_a < V_{REF}$ になっており、比較器 130 の出力電圧 V_b は "L"、判定電圧 V_c は "H" である。従ってトランジスタ P4 および P5 は OFF しており、バーンイン電圧発生回路 150 は非活性化されており、また $V_a = V_{a1} = V_{EXT} \times R_6 / (R_4 + R_5 + R_6)$ である。

【0034】次に、外部電源電圧 V_{EXT} の増加による第 2 電圧区間から第 3 電圧区間への区間切り換え動作 (V_{EXT} 増加時のヒステリシス特性区間における動作) を説明する。 V_{EXT} が第 1 の境界電圧 V_{T1} を越えて増加し、第 2 の境界電圧 V_{T2} 以上となり、 $V_a (= V_{a1}) \geq V_{REF}$ となると、比較器 C1 の出力電圧 V_b は、"L" か

10

20

30

40

50

ら” H” に反転し、それを受けて判定電圧 V_c は、” H” から” L” となる。その結果、トランジスタ P 5 が ON してバーンイン電圧発生回路 1 5 0 は活性化され、第 2 電圧区間から第 3 電圧区間への区間切り換えが行なわれる。すなわち、バーンイン電圧発生回路 1 5 0 は、出力端子 INTB に V_{INTN} より大きなバーンイン電圧 $V_{INTB} (= V_{EXT} \times (R_1 + R_2) / (R_1 + R_2 + R_3))$ を発生する。これにより内部電源電圧出力部 1 6 0 は、内部電源電圧 V_{INT} を上昇させ、バーンイン電圧 V_{INTB} を V_{INT} として内部回路に供給する。このとき増幅回路 1 1 0 の出力端子 INTN にも V_{INTB} が印加され、トランジスタ N 2 のゲート電圧が上昇してトランジスタ N 1 のドレイン電圧が上昇し、これによりトランジスタ P 3 が OFF して増幅回路 1 1 0 は非活性化される。またこのときトランジスタ P 4 が ON して抵抗 R 4 が短絡され、分圧電圧 V_a は V_{a1} から $V_{a2} = V_{EXT} \times R_6 / (R_5 + R_6)$ に切り換わる。

【 0 0 3 5 】次に、第 3 電圧区間のバーンイン（可変電圧）電圧特性における動作を説明する。この区間においては、常に $V_a (= V_{a2}) \geq V_{REF}$ であるので、比較器 C 1 の出力電圧 V_b は” H” を保持する。従って比較回路 1 3 0 からの判定電圧 V_c は” L” を保持するので、バーンイン電圧発生回路 1 5 0 は常に活性化されており、外部電源電圧 V_{EXT} に比例したバーンイン電圧 $V_{INTB} (= V_{REF} \times (R_1 + R_2) / (R_1 + R_2 + R_3))$ を内部電源電圧出力部 1 6 0 に供給する。内部電源電圧出力部 1 6 0 は、 V_{INTB} を内部電源電圧 V_{INT} として内部回路に供給する。また増幅回路 1 1 0 はトランジスタ P 3 が OFF しているので非活性化されており、分圧回路 1 2 0 においてはトランジスタ P 4 が ON して抵抗 R 4 が短絡されているので、分圧電圧 V_a は常に $V_{a2} (= V_{EXT} \times R_6 / (R_5 + R_6))$ である。

【 0 0 3 6 】最後に、外部電源電圧 V_{EXT} の減少による第 3 電圧区間から第 2 電圧区間への区間切り換え動作（ V_{EXT} 減少時のヒステリシス特性区間における動作）を説明する。 V_{EXT} が第 2 の境界電圧 V_{T2} を越えて増加し、第 1 の境界電圧 V_{T1} 以上となり、 $V_a (= V_{a2}) < V_{REF}$ となると、比較器 C 1 の出力電圧 V_b は、” H” から” L” に反転し、それを受けて判定電圧 V_c は、” L” から” H” となる。その結果、トランジスタ P 5 が OFF してバーンイン電圧発生回路 1 5 0 は非活性化され、第 3 電圧区間から第 2 電圧区間への区間切り換えが行なわれる。すなわち、バーンイン電圧発生回路 1 5 0 の非活性化により、トランジスタ P 3 が OFF 状態を脱して増幅回路 1 1 0 が活性化され、その出力端子 INTN に定電圧 V_{INTN} を発生する。これにより内部電源電圧出力部 1 6 0 は、内部電源電圧 V_{INT} を降下させ、 V_{INTN} を V_{INT} として内部回路に供給する。このときトランジスタ P 4 が OFF して抵抗 R 4 が開放され、分圧電圧 V_a は V_{a2} から V_{a1} に切り換わる。

【 0 0 3 7 】以上のように図 1 の内部電源回路は、第 2 電圧区間から第 3 電圧区間への切り換えを、分圧回路 1 2 0 の第 1 の分圧比による分圧電圧 $V_{a1} (= V_{EXT} \times R_6 / (R_4 + R_5 + R_6))$ と基準電圧 V_{REF} の電圧比較により、外部電源電圧 V_{EXT} が第 2 の境界電圧 V_{T2} のときに行い、第 3 電圧区間から第 2 電圧区間への切り換えを、第 2 の分圧比による分圧電圧 $V_{a2} (= V_{EXT} \times R_6 / (R_5 + R_6))$ と V_{REF} の電圧比較により、 V_{EXT} が第 1 の境界電圧 $V_{T1} (< V_{T2})$ のときに行うものである。すなわち、第 2 電圧区間から第 3 電圧区間に切り換わる外部電源電圧よりも、第 3 電圧区間から第 2 電圧区間に切り換わる外部電源電圧を低くして、第 2 電圧区間と第 3 電圧区間の区間切り換えにヒステリシス特性を持たせたものである。

【 0 0 3 8 】このように上記第 1 の実施形態によれば、分圧回路 1 2 0 の分圧比を切り換えて、第 2 電圧区間から第 3 電圧区間へ切り換える外部電源電圧ポイントよりも、第 3 電圧区間から第 2 電圧区間へ切り換える外部電源電圧ポイントを低くし、第 2 電圧区間と第 3 電圧区間の領域切り換えにヒステリシス特性を持たせることにより、一度第 2 電圧区間から第 3 電圧区間にエンタリーされた内部電源電圧がすぐに第 2 電圧区間に戻ること、および一度第 3 電圧区間から第 2 電圧区間にエンタリーされた内部電源電圧がすぐに第 3 電圧区間に戻ることがなくなり、区間切り換わり付近において外部電源電圧が不安定である場合にも、安定した内部電源電圧を出力することが可能となる。またヒステリシス特性を持たせた分、従来に比べて第 2 電圧区間、第 3 電圧区間をともに広くすることが可能となる。

【 0 0 3 9 】尚、分圧回路 1 2 0 の構成は上記に限定されない。例えば、分圧比の切り換えを抵抗 R 5 をトランジスタ P 2 で短絡してもよく、また抵抗 R 6 を分離し、分離抵抗の 1 つを NMOS トランジスタを用いて開放／短絡しても同様の動作が可能である。また負荷素子 R 4 ~ R 6 は抵抗に限定されるものではない。例えば、抵抗 R 5 に替えてダイード接続された MOS トランジスタ、あるいはこの MOS トランジスタを直列接続したものを用いても良い。またスイッチ素子 P 4 は MOS トランジスタに限定されるものではない。すなわち、3 つ以上の負荷素子を用いて、外部電源と分圧電圧出力端子間に挿入される外部電源側負荷回路と、接地電源と分圧電圧出力端子間に挿入される接地電源側負荷回路を構成し、スイッチ素子により所定の負荷素子を開放／短絡することにより、分圧比を切り換えることができるものであれば良い。さらに図 3 に示す分圧回路 1 4 0 のように、第 1 の分圧比および第 2 の分圧比を調整可能としたものを用いても良い。図 3 の分圧回路 1 4 0 において、直列接続された抵抗 R 1 1 ~ R 1 5 は外部電源側負荷回路を構成し、直列接続された抵抗 R 1 6 ~ R 1 8 は電源側負荷回路を構成する。抵抗 R 1 1 と R 1 2 により形成される直

列抵抗に並列にスイッチ素子であるPMOSトランジスタP11が設けられ、また抵抗R12、R14、R15、R17、R18にそれぞれ並列に、レーザー照射等により切断可能な調整用ヒューズF1～F5が設けられている。調整用ヒューズF2～F5のいずれかを切断することにより、第1および第2の分圧比を同時に調整することができ、またF1を切断することにより、第1の分圧比（トランジスタP11がOFFのときの分圧比）を単独で調整することができる。

【0040】また、バーンイン電圧発生回路150の構成は上記に限定されず、スイッチ素子であるトランジスタP5を、外部電源と降圧負荷素子である抵抗R3の間ではなく、抵抗R3と出力端子INTBの間に設けた構成としても良い。また抵抗R3を0[Ω]として外部電源電圧を直接出力する構成としても良い。また図1に示すものに限定されない。またスイッチ素子はPMOSトランジスタに限定されない。また降圧負荷素子は抵抗に限定されず、例えばダイード接続されたMOSトランジスタ、あるいはこのMOSトランジスタを直列接続したものをを用いても良い。

【0041】また増幅回路110の構成は上記に限定されず、トランジスタP3と抵抗R1の接続点を出力端子INTNとせず、トランジスタP3と抵抗R1の接続点と出力端子INTNの間に判定電圧Vcが“H”のとき導通し、Vcが“L”のとき開放となるスイッチ素子を設けた構成としても良い。

【0042】第2の実施形態

内部電源回路を高温中で動作させる場合に、基準電圧VREFに温度依存性があると、これにより電圧区間が切り換えられる外部電源電圧のポイント（境界電圧）が変動する。図4はVREFに温度依存性があり、分圧電圧Va（すなわち分圧回路の分圧比）に温度依存がない場合の境界電圧の温度依存性を説明する図である。図4において、常温動作における基準電圧VREFの値はVREF1であったとすると、電圧区間の切り換え条件Va = VREF1を満たす外部電源電圧値である境界電圧はVT3である。次に高温動作において、基準電圧に負の温度依存性があり、基準電圧がVREF2に下降したものとすると、境界電圧はVT4となるので、所望の電圧値VT3よりも低い外部電源電圧で電圧区間が切り換えられる。また逆に基準電圧に正の温度依存性があり、基準電圧がVREF3に上昇したものとすると、境界電圧はVT5となるので、所望の電圧値VT3よりも高い外部電源電圧で電圧区間が切り換えられる。図1の内部電源回路に対しても上記と同様のことが言える。基本的には、電圧区間の切り換えポイント（境界電圧）には温度依存性がないことが望ましい。

【0043】そこで第2の実施形態の内部電源回路は、図1の内部電源回路において、基準電圧発生回路100からの基準電圧VREFが温度変動する場合に、分圧回路120の出力電圧である分圧電圧Vaに、第1の境界電

圧VT1および第2の境界電圧VT2の温度変動を補正するような温度特性を持たせたものである。すなわち第2の実施形態の内部電源回路は、図1の分圧回路120において、抵抗R4とR5による外部電源側負荷回路の温度係数と、抵抗R6による接地電源側負荷回路の温度係数とを異なる値に設定することにより、分圧電圧Vaに上記の温度特性を持たせたものである。

【0044】一般に抵抗素子は、正の温度係数を持ち、材質により設定できる温度係数範囲が異なる。例えば、一般にシリコンのn型またはp型拡散層（以下、単に拡散層と称する）の温度係数は、ポリシリコンの温度係数よりも大きく、拡散層およびポリシリコンは、不純物濃度や生成プロセス等により、それぞれ所定の範囲内で温度係数を設定できる。そこで拡散層またはポリシリコンを用いて抵抗R4～R6を形成する。

【0045】基準電圧VREFが負の温度依存性を示す場合には、抵抗R4およびR5に拡散層を用い、抵抗R6にポリシリコンを用いて分圧電圧Vaに負の温度依存性を持たせ、さらに外部電源電圧が第1の境界電圧VT1のときの第2の分圧比における分圧電圧Va2の温度変動がVREFの温度変動と同じになるように抵抗R5およびR6の温度係数をそれぞれ設定し、次に外部電源電圧が第2の境界電圧VT2のときの第1の分圧比における分圧電圧Va1の温度変動が上記VREFの温度変動と同じになるように抵抗R4の温度係数を設定する。このとき、抵抗R6の温度係数は抵抗R4、R5の温度係数よりも小さくなる。

【0046】逆に基準電圧VREFが正の温度依存性を示す場合には、抵抗R4およびR5にはポリシリコン、抵抗R6には拡散層をそれぞれ用い、第1の境界電圧VT1のときのVa2と、第2の境界電圧VT2のときのVa1の温度変動が、それぞれVREFの温度変動と同じになるように抵抗R4～R6の温度係数を設定する。このとき、抵抗R6の温度係数は抵抗R4、R5の温度係数よりも大きくなる。

【0047】次に、図5は本発明の第2の実施形態の内部電源回路における温度変動に対する境界電圧（第1の境界電圧VT1、第2の境界電圧VT2）の補正動作を説明する図である。図5において、常温動作における基準電圧VREFの値がVREF1であり、外部電源電圧に対する分圧電圧Vaの特性を図中のAであるとする。またこのときの境界電圧（VT1またはVT2）をVTとする。

【0048】次に高温動作において、基準電圧VREFに負の温度依存性があり、基準電圧がVREF2に下降したものとすると、このとき分圧電圧Va（Va1またはVa2）は負の温度依存を持つように設定されているので、外部電源電圧に対する分圧電圧Vaの特性は、図中のAからBに変化する。このVaの特性変化により、電圧区間の切り換え条件であるVa = VREF2を満たす外部電源電圧、すなわち境界電圧が上がり、境界電圧は常温動作時と同

じ V_T に補正される。

【0049】逆に高温動作において、基準電圧 V_{REF} に負の温度依存性があり、基準電圧が V_{REF23} に上昇したものとする。このとき分圧電圧 V_a (V_{a1} または V_{a2}) は正の温度依存を持つように設定されているので、外部電源電圧に対する分圧電圧 V_a の特性は、図中の A から C に変化する。これにより境界電圧は上がり、常温動作時と同じ V_T に補正される。

【0050】このように上記第 2 の実施形態によれば、分圧回路 120 の各抵抗を異なる温度係数の材質で形成することにより、基準電圧 V_{REF} に負の温度依存性がある場合には抵抗 R_6 の温度係数が抵抗 R_4 、 R_5 の温度係数より小さくなるように設定し、また V_{REF} に正の温度依存性がある場合は抵抗 R_6 の温度係数を抵抗 R_4 、 R_5 の温度係数より大きくなるように設定して、外部電源電圧が第 1 の境界電圧 V_{T1} であるときの分圧電圧 V_{a2} の温度変動と、外部電源電圧が第 2 の境界電圧であるときの分圧電圧 V_{a1} の温度変動とが、基準電圧の温度変動に等しくなるような出力温度特性を分圧回路 120 に持たせることにより、基準電圧の温度変動による第 1 および第 2 の境界電圧の温度変動を補正することができる。

【0051】尚、分圧回路を図 6 に示す分圧回路 210 とし、次のようにして境界電圧の温度変動を補正しても良い。図 6 において、直列接続された抵抗 $R_{21} \sim R_{23}$ は外部電源側負荷回路を構成し、直列接続された抵抗 R_{24} 、 R_{25} は接地電源側負荷回路を構成する。 R_{21} に並列にスイッチ素子である PMOS トランジスタ P_{21} が設けられている。抵抗 R_{22} と R_{23} 、抵抗 R_{24} と R_{25} にそれぞれ温度係数の異なる抵抗材質を用いる。例えば、抵抗 R_{22} と R_{24} を拡散層で形成し、また抵抗 R_{23} と R_{25} をポリシリコンで形成する。これにより、抵抗 R_{22} と R_{23} の抵抗比、抵抗 R_{24} と R_{25} の抵抗比をそれぞれ調整することによっても第 2 の分圧比における分圧電圧 V_{a2} の温度特性の調整が可能となるので、 V_{a2} の温度特性の調整自由度を大きくすることができる。もちろん、外部電源側負荷回路（抵抗 R_{22} と R_{23} ）を拡散層で形成し、接地電源側負荷回路（抵抗 R_{24} と R_{25} ）をポリシリコンで形成すること、あるいはその逆も可能である。尚、トランジスタ P_{21} により制御される抵抗 R_{21} を分割し、各分割抵抗をそれぞれ温度係数の異なる抵抗材質で形成することにより、第 1 の分圧比における分圧電圧 V_{a1} の温度特性の調整自由度を大きくすることができることは言うまでもない。

【0052】

【発明の効果】以上のように本発明の内部電源回路によ

れば、内部電源電圧の特性を、外部電源電圧が第 2 の境界電圧で定電圧特性から可変電圧特性に切り換え、また第 2 の境界電圧より小さい第 1 の境界電圧で可変電圧特性から定電圧特性に切り換えるようにして、内部電源電圧ヒステリシス特性を持たせることにより、特性の切り換わり付近において外部電源電圧が不安定な場合にも、安定した内部電源電圧を出力することができるという効果がある。また従来に比べて、定電圧特性となる外部電源電圧の区間、および可変電圧特性となる外部電源電圧の区間をとともに広くすることができるという効果がある。

【0053】また上記請求項 4、7～9 に記載の内部電源回路によれば、分圧回路の分圧比の温度依存を自由に設定することにより、基準電圧の温度変動による第 1 および第 2 の境界電圧の温度変動を補正することができるという効果がある。

【0054】上記請求項 12 に記載の内部電源回路によれば、調整用ヒューズを切断して所定の負荷素子の短絡を解除することにより分圧負荷回路の分圧比を調整することができるという効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態の内部電源回路の回路構成図である。

【図 2】本発明の第 1 の実施形態の出力電圧特性を示す図である。

【図 3】本発明の第 1 の実施形態における分圧比を調整可能とした分圧回路の回路図である。

【図 4】境界電圧の温度変動を説明する図である。

【図 5】本発明の第 2 の実施形態における温度変動に対する境界電圧の補正動作を説明する図である。

【図 6】本発明の第 2 の実施形態における別の分圧回路の回路図である。

【図 7】従来の内部電源回路の出力電圧特性を示す図である。

【符号の説明】

100 基準電圧発生回路

110 増幅回路

120、140、210 分圧回路

130 比較回路

150 パーンイン電圧発生回路

160 内部電圧出力回路

N1～N3 NMOS トランジスタ

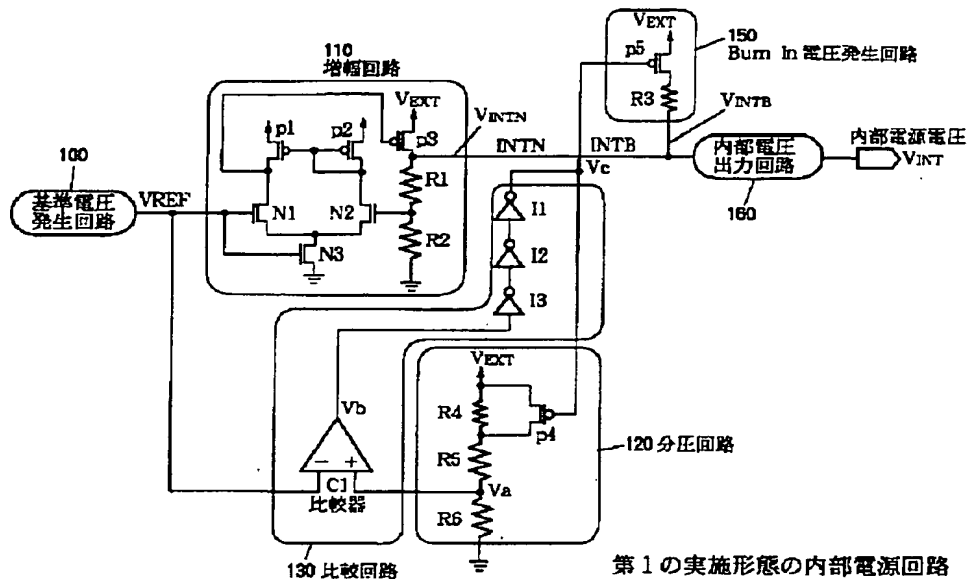
P1～P5、P11、P21 PMOS トランジスタ

R1～R6、R11～R18、R21～R25 抵抗

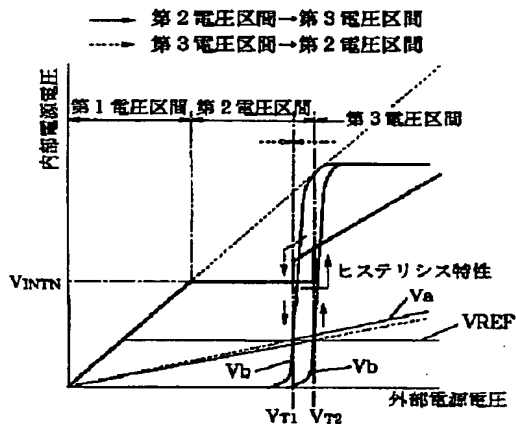
C1 比較器

I1～I3 インバータ

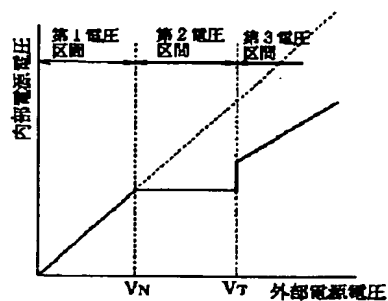
【 図 1 】



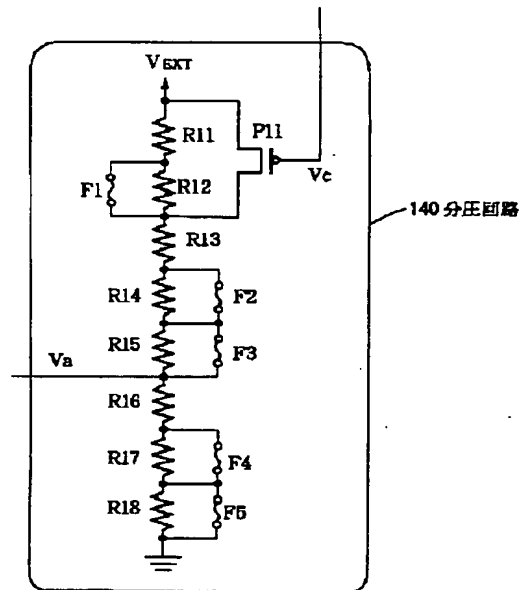
【 図 2 】



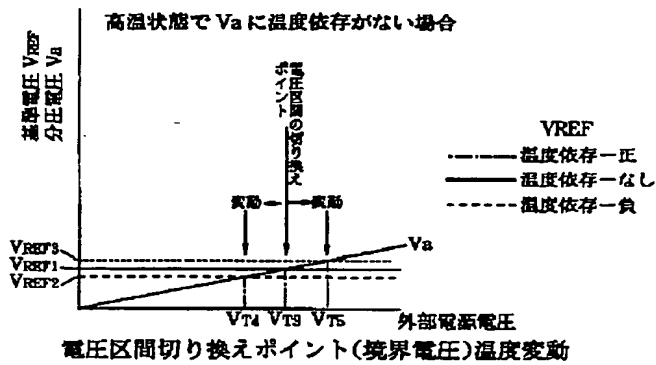
【 図 7 】



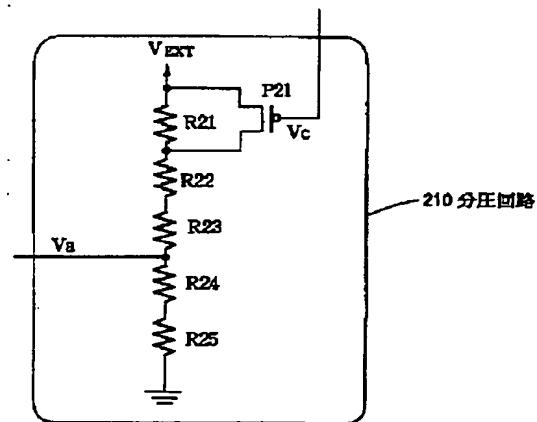
【 図 3 】



【図 4】

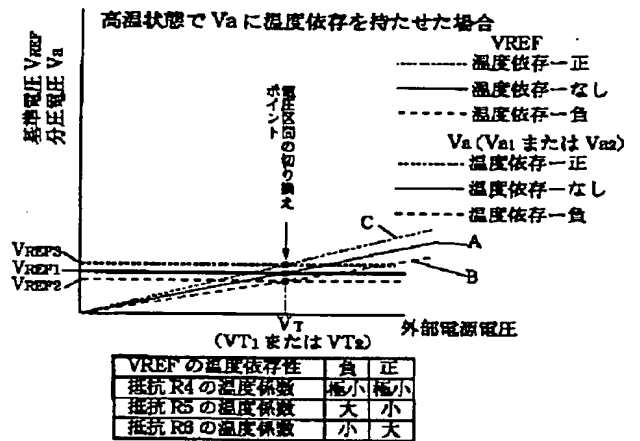


【図 6】



第 2 の実施形態における別の分圧回路

【図 5】

第 2 の実施形態における温度変動に対する境界電圧 V_T の補正

フロントページの続き

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

H03F 1/30